

[19] State Intellectual Property Office of P. R. China

[51] Int.Cl.⁷

G06F 15/16

[12] Specification of Patent for Invention

[21] ZL Patent Number: 94105761.5

[45] Publication Date: Jan 12, 2000

[11] Announcement number: CN 1048344C

[22] Filing Date: May 24, 1994

[24] Issue Date: November 20, 1999

[21] Application No.: 94105761.5

[73] Patentee: Chenghai Yu

Address: Beijing, China

[72] Inventor(s): Chenghai Yu, Yongbo Jia

Claim(s): 1 page(s)
Specification: 11 page(s)
Drawings: 7 page(s)

[54] Title of the patent:

System Configuration Moderate Coupling Multiprocessor System

[57] Abstract

A moderate coupling multiprocessor system has many processor modules. Each processor module has its local memory and I/O subsystem. They communicate with each other through a shared memory. A passive bus connects the above assemblies. Each of the processors has an instruction receiving apparatus. One of the processors has an instruction transmitting apparatus. The instruction receiving apparatus takes count of the polling pulse signals, thereby determining the use requests of the processors to the bus. The instruction transmitting apparatus initializes the counter in the instruction receiving apparatus. The bus driver will be in three states, and isolate each processor from the bus. The multiprocessor system of the invention is very open and responds rapidly.

[19]中华人民共和国国家知识产权局

[51]Int. Cl⁷

G06F 15/16

[12] 发 明 专 利 说 明 书

[21] ZL 专利号 94105761.5

[45]授权公告日 2000 年 1 月 12 日

[11]授权公告号 CN 1048344C

[22]申请日 1994.5.24 [24]颁证日 1999.11.20

[21]申请号 94105761.5

[73]专利权人 禹成海

地址 100083 北京市 619 信箱 11 分箱

共同专利权人 贾永波

[72]发明人 禹成海 贾永波

[56]参考文献

CN1044196A 1990. 7.25 H04J3/24

EP0377991A2 1990. 7.18 G06F9/38

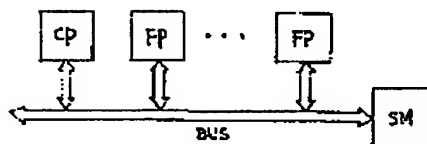
审查员 夏国红

权利要求书 1 页 说明书 11 页 附图页数 7 页

[54]发明名称 一种适度耦合多处理机系统的体系结构

[57]摘要

一种适度耦合多处理机系统,具有多个处理机模块,各处理机模块带有其局部存储器和 I/O 子系统,通过共享内存相互通信,上述组件通过无源总线连结,在所有处理机上设置了一令牌接收装置,在其中之一上设置了令牌发送装置,令牌接收装置对查询脉冲信号进行计数,由此确定处理机对总线使用请求,令牌发送装置可使令牌接收装置中的计数器置初值并使总线驱动器处于三态,“隔离”各处理机和总线。本发明的多处理机系统开放性好、响应速度快。



ISSN 1008-4274

权利要求书

1.一种适度耦合多处理机系统，其耦合程度介于紧密耦合多处理机系统和松散耦合多处理机系统之间，具有多个处理机，各处理机本身就是一个可独立运行的计算机，有自己的局部存储器和 I/O 子系统，通过共享内存相互通信，上述组件通过无源总线连结，其特征在于上述各处理机均包括一令牌接收装置，一令牌发送装置设置在上述多个处理机中一个内，该处理机称为控制处理机，用于总线仲裁的信号只有三个：查询脉冲信号(POLL)，各处理机对其进行计数；总线忙信号(BUZY)，总线被占用指示；和总线被超时占用/同步信号(Tover/SYN)，用于同步各处理机对查询脉冲信号(POLL)进行的计数；令牌接收装置中均有一计数器(T)，所有计数器均以同样的基值对查询脉冲信号(POLL)计数，所有处理机各以一唯一序数标识，称为标识号，标识号与计数器(T)计数值相同的处理机获总线使用权，在令牌发送装置上有一超时计数器(TO)，该计数器在总线忙信号的触发下开始计数，到达设定值后发送总线超时占用/同步信号(Tover/SYN)，该信号使计数器(T)置初始值并强制各总线驱动器处于三态，使各处理机与总线隔离。

2.一种容错型电力调度自动化系统的远程终端，其特征在于采用了权利要求1所述的适度耦合多处理机系统的体系结构，相应于权利要求1的控制处理机和功能处理机的控制板和功能板均为双份配置，所述功能板包括对交流电信号进行采样和处理的交流遥测板，对直流电信号进行采样和处理的直流遥测板，对诸如电气开关的合-分状态等开关量进行采集和处理的开关量采集板，对诸如脉冲电度表的脉冲量进行计数的脉冲量采集板和执行遥控功能的遥控板，其中的共享内存分为双份，占据相同的物理空间。

一种适度耦合多处理机系统的体系结构

本发明涉及一种多处理机系统结构，特别涉及一种介于紧密耦合多处理机系统和松散耦合多处理机系统之间、兼顾了两者的优点和克服了它们的不足的适度耦合多处理机系统的体系结构。

紧密耦合多处理机系统是这样一种系统，系统中含有两个以上处理机，各处理机通过共享内存互相通信，因此，从一台处理机到另一台处理机的通信速率和存储器带宽是一个数量级，每台处理机可以有它自己的存储量较小的本地存储器或高速缓冲存储器，但没有自己独立的 I/O 子系统，这种系统的优点是响应速度快、实时性好，但其开放性不够；松散耦合的多处理机系统，其特征是：系统中含两个以上处理机模块，处理机模块便是一个独立运行的计算机，该模块中通常有自己的局部存储器、I/O 子系统，各处理机模块通过网络传输系统互连，松散耦合多处理机系统的一个显著优点是其开放性好，但由于处理机模块间通信速率不高，故当处理机间有信息关联时，其响应速度不快。

由此可见，上述两种体系结构的多处理机系统无法全面兼顾开放性和响应速度这两方面的要求。

本发明的主要目的是提供一种其耦合程度介于上述紧密耦合和松散耦合之间的、称之为适度耦合的多处理机系统，它具有多个处理机模块，各处理机模块便是一个可独立运行的计算机，该模块中通常有自己局部存储器、I/O 子系统，各处理机模块通过共享内存通信，显然适度耦合多处理机系统综合了紧密耦合和松散耦合多处理机系统各自的优点：即开放性好、响应速度快。

本发明的多处理机系统具有如下特点：无源总线，其中与总线竞争仲裁有关的信号只有三种，总线竞争仲裁简单、迅速并均由硬件完成；共享内存充当各处理机的通信媒体；对总线仲裁极少干预，但能保证总线正常运转的控制处理机，因其对总线管理负担较少，所以可以有较多时间完成其它控制功能；功能处理机，根据各自 I/O 子系统的不同完成特定功能。

本发明的另一个目的是提供一种用上述适度耦合的多处理机系统的体系结构构造的容错型远动分站，即电力调度自动化系统的远程终端。这是上述多处理机系统结构的一种直接的应用。

通过提供一种称之为适度耦合多处理机系统实现了本发明的上述目的，这一多处理机系统包括三种类型的组件：控制处理机、若干个功能处理机和共享内存，这三种组件通过无源总线连结，各处理机有自己的局部存储器和 I/O 子系统，其特征不在于总线的仲裁方法为虚拟令牌法，虽然没有实际的令牌存在，但各处理机如同获得令牌一样，轮流地获得一使用特权，允许其使用总线，一处理机获得了使用总线的特权被称之为其掌握了令牌，所有功能处理机和控制处理机中均设置了令牌接收装置，但令牌发送装置只设置在控制处理机中；与总线仲裁有关的信号只有三个：查询脉冲信号（POLL），各处理机对其进行计数；总线忙信号（BUZY），总线被占用的指示；总线超时占用/同步信号 Tover/SYN，用于同步各处理机中对 POLL 计数的计数器；令牌接收装置中均有一计数器，所有计数器均以同样的基值对 POLL 信号计数，挂在总线上的所有处理机各以一唯一序数标识，称为标识号，标识号位数与计数器的位数相同，当计数器的值与某一处理机的标识号相同时，该处理机便掌握了令牌；各计数器被信号 Tover/SYN 同步，当其为零时，所有计数器置初始值，该信号还强制各总线驱动器处于三态，使各处理机与总线隔离，Tover/SYN 信号也作为所有处理机的一个共同中断源，触发各处理机同时作自诊断，自诊正常才可继续申请总线。

本发明的体系结构实际上是一种模块化结构系统，以处理机模块为单元扩充或进行资源升级极容易，由于上述的总线仲裁方式，处理机数目与仲裁信号不相关，使扩充更加容易；由于系统中的各功能处理机根据应用场合的不同可具有不同的 I/O 子系统，系统结构配置极易改变，比较适合电力调度自动化、石油调度自动化及其它一些调度自动化系统；由于采用共享内存结构，处理机间的通信速率与内存的带宽处于同一数量级，其数据交换速度比起采用网作通信媒体的松散耦合多处理机系统省却了网络传递开销；资源冗余使系统具有动态重构能力，局部故障不影响全局。总而言之，本发明在系统扩充性、灵

活性、以及可靠性方面都具有一定的优点。

以下参看附图详细描述本发明，本发明的上述及其它优点将更加清楚。

图 1 是本发明适度耦合多处理机系统结构的方框图；

图 2 是本发明总线控制方式“虚拟令牌”实现的方框图；

图 3 表示令牌传递过程中的几种典型时序；

图 4 为图 1 系统结构中的控制处理机的方框图；

图 5 为以图 1 的系统结构构造的电力调度自动化系统的远程终端的方框图；

图 6 为图 5 中的控制板的方框图；

图 7 为共享内存读、写控制的方框图；

图 8 为图 5 中的交流遥测板的方框图。

图 1 为本发明适度耦合多处理机系统的方框图，系统中有三种类型的组件：控制处理机（CP）、若干个功能处理机（FP）和共享内存（SM），这三种组件通过无源总线（BUS）相互连接，各处理机模块是一个可独立运行的计算机，有自己的局部存储器和 I/O 子系统，各处理机模块通过共享内存通信，以下将会看到，处理机的数目与总线仲裁信号不相关。

总线是上述系统的核心，因此总线竞争的仲裁策略为系统的关键，总线竞争设计应保证不因局部故障而通过总线影响整个系统并优化总线仲裁策略，由此提高总线利用率，不让处理机把时间浪费在总线申请上。本发明的总线仲裁方法称为虚拟令牌法，这是因为实际上不存在令牌，但各处理机如同获得令牌一样，轮流地获得一使用特权，允许其使用总线，如果一处理机获得了使用总线特权，就称其掌握了令牌。

上述总线仲裁策略如图 2 和图 3 所示，先看图 2，图 2 是本发明总线控制方式中“虚拟令牌”实现的方框图，由图可见，这一部分电路包括一令牌发送装置（20）和若干个令牌接收装置（21），令牌发送装置位于控制处理机上，在其上有一使能信号（M/SO），当该信号为低时允许其工作，这样设计的目的是为了适应采用双主控的容错系统，详见后面的发明应用。在所有处理机上都有令牌接收装置。

由图可见,用于总线仲裁的信号只有三个,查询脉冲信号 (POLL),总线忙信号 (BUZY)和总线超时占用/同步信号 (Tover/SYN),由于使用信号少,因而实现起来简单而可靠。

令牌接收装置中均有一计数器 (T),所有计数器均以同样的基值对 POLI. 信号计数,挂在总线上的所有处理机都以一唯一序数标识,称其为标识号,标识号位数与计数器 T 的位数相同,当计数器的计数值与某一处理机的标识号相同时,该处理机便掌握了令牌,由于各处理机标识号均不相同,而所有计数器 T 的计数值均相同,因而同一时刻只有一台处理机的计数值与其标识号相同,也就是说只有一台处理机获得令牌,这样便解决了总线竞争问题,由于计数器 T 为循环计数器,因而其循环的结果是令牌在各处理机间循环传递,各处理机分时循环机会均等地利用总线。

可以看出计数器 T 的位数决定了系统中处理机的最大配置数,以可编程器件来实现计数器 T,并通过预测系统最大配置数对其适当编程来实现计数器 T,万一系统突破预计数,仅需要更换或改写可编程器件以增加计数器 T 的位数,这样便可满足极限增容情况的发生。

处理机使用总线的过程是这样的:当处理机需要使用总线时,发总线申请信号 (Breq=1);当位于该处理机模块上的令牌接收装置的计数值与其标识号相等时,则令牌接收装置发出总线忙信号 (BUZY=0),一方面通知处理机获得总线使用权 (BACK=1),总线应答信号 BACK 为处理机一中断源,处理机在 BUZY 信号的触发下进入使用总线的中断服务程序,总线忙信号 BUZY 将阻止继续发计数脉冲。当处理机结束总线中断服务时,撤消总线应答信号 (Breq=0),随着 Breq 的撤消,总线忙信号和总线应答信号相继消失即 BUZY=1, BACK=0,于是继续发计数信号,计数器计数值增 1,令牌转移到下一处理机。

有两件事不必担心,一是空号。所谓空号即是指某些计数值无处理机标识号与其对应。空号的存在使令牌在空号处稍为停顿一下,因为空号处不存在处理机,因而其结果相当于有处理机而永无总线申请,但为了加快令牌轮转速度,建议实际应用时使处理机标识号连续排列,尽量减少计数器的位数,这样能显著提高令牌的循环速度,实际上每

减少一位，令牌空转（即无任何处理机申请共享总线）速度提高一倍。第二件事即是超时占用总线或是多个令牌在流传的事情发生，为防止或排除这类故障，我们引入了总线超时占用/同步信号（Tover/SYN）。Tover/SYN 的作用有二个：一是同步各令牌接收装置中的计数器 T，当 Tover/SYN = 0 时，计数器 T 置初始值；二是强制各总线驱动器处于三态，使得各处理机与总线“隔离”。该信号也作为所有处理机板上的一个共同中断源，触发各处理机同时作自诊断，自诊正常方可继续申请总线，这就避免了因局部处理机故障而强霸总线影响整个系统的情况发生，又由于 Tover/SYN 使所有计数器 T 置相同的初值，确保 T 值永远相同，这样便避免了多个令牌在同时流传的情况发生。

触发 Tover/SYN = 0 的因素有三个：一是系统上电，二是某个处理机超时使用总线，三是由控制板主动触发。在令牌发送机构中，TO 为超时计数器，该计数器在 BUZY=0 时开始计数，当计数值达到设置值时发 Tover/SYN 信号（Tover/SYN=0），当 BUZY=1 时，强制清 TO，并禁止其计数。

图 3 反映令牌传递过程中的三种典型时序，即 a：无任何处理机申请共享总线情况下的时序，b：处理机正常使用总线时的时序，c：处理机超时使用总线的时序。在情形 a 中，由于无处理机申请总线，因而总线占用信号总是处于无效状态，即 BUZY=1，查询脉冲信号 POLL 以固定频率被正常发送；情形 b 反映的是处理机 i (i 为页标识号) 发生总线申请时的时序，当 Breq=1 时，如果处理机获令牌（ $r=i$ ， i 在此表示计数器 T 的计数值），则 BUZY 将变为低电平，BACK 将变为高电平，BACK 高电平导致处理机进入共享总线中断服务程序，BUZY 将阻止查询脉冲 POLL 的发送，中断程序结束时（这是非超时结束）撤消 Breq，即 Breq=0，进而 BUZY 将变为高电平、BACK 变为低电平。BUZY 变为高电平后，POLL 信号又被正常发送；情形 c 为处理机超时使用总线的时序，当处理机超时使用总线时，Tover/SYN=0，该信号迫使 Breq=0，Breq=0 又导致 BACK=0 和 BUZY=1。Tover/SYN=0，同时也禁止计数器 T 计数，并使 T 强制设定成初值，Tover/SYN=0 撤消后，一切恢复正常。

查询脉冲信号（POLL）的脉冲宽度只受限于有限的门延迟（看

你选用什么器件和如何去实现)，脉冲宽度越窄，令牌推进的速度相应越快，那么总线耗费在令牌传递过程中的时间也越小，总线效率也越高。

本发明系统结构中的总线效率远优于已有技术中的常用总线仲裁方式。以下将其与采用时分单总线的两种总线仲裁策略作比较。

假设查询脉冲信号 POLL 的激励时钟频率为 12M，处理机的总线周期为 250ns，每次总线申请作 16 个总线周期的传送，还假设令牌每循环一周有 50% 的处理机申请了总线，在这样的情况下我们看看总线的利用率 E_b ， N 为处理机总数， n 为 T 的位数， $N=2^n$

$$\begin{aligned}
 E_b &= \frac{\text{总线周期} \times N \times 50\% \times 16}{\text{令牌循环一周的总时间}} \\
 &= \frac{250 \times N \times 50\% \times 16}{250 \times N \times 50\% \times 16 + N \times 83} \\
 &= \frac{250 \times 8}{250 \times 8 + 83} \\
 &= \frac{24}{25} \\
 &= 96\%
 \end{aligned}$$

所有处理机均有总线申请时的效率：

$$E_b = \frac{16 \times 250}{16 \times 250 + 83} = 98\%$$

当只有一个处理机申请总线时，假设 $N=16$ ，此时总线效率：

$$E_b = \frac{16 \times 250}{16 \times 250 + 16 \times 83} = 75\%$$

无论哪种情况，总线利用率均比较高，由第三种情况我们也可以看到处理机最大空等（指非总线占用等待）为 $1.33 \mu s$ ，占其使用总线时间的 $1/3$ 。

固定时间片法是总线仲裁的一种常用方法，其方法是把可用带宽分成固定长度的时间片，然后控制处理机把时间片按循环方式顺序地分配给每个处理机，这种方法通常在同步总线上使用，总线上所有处理机和公共时间同步，这种技术一般称其为分时多路转接(Time division multiplexing 简作 TDM)或固定时间片(Fixed time slicing 简作 FTS)，这种方法优点是实现也比较简单，但由于当处理机无总线请求时，其时间片便白白浪费，总线请求的负载越低，总线效率显得越差，可以从几个直观数据得出结论。

假设处理机总数 $N=16$ ，时间片 $T_s=16 \times 250ns$

则：满负载时 $E_b=100\%$

半负载时 $E_b=50\%$

单负载时 $E_b=5.5\%$

处理机的最大空等时间为： $(N-1) \times 16 \times 250ns=60000ns$ ，最大空等时间为虚拟令牌方式的 45 倍！

旋转菊花链算法是菊花链算法的改进，所以这里只阐述旋转菊花链算法 (Rotating dairy chain 简作 RDC)，该算法中没有中央控制处理机，起初随意指定一个总线仲裁器，然后顺着循环链依次下传仲裁权。

旋转菊花链法实现上也比较简单，总线效率高于 FTS 法，但低于本发明虚拟令牌法，其致命弱点是，系统中任一处理机故障均会阻滞仲裁下移，引起整个系统瘫痪，虽说在虚拟令牌方式中令牌发送机构的故障也会导致系统瘫痪，但单一部件故障的概率要比这么多处理机出一故障低得多。

我们仍假定处理机总数 $=N$ ，处理机使用总线时间为 $16 \times 250ns$ ，仲裁权由一无总线请求处理机经过的时间我们假设其为 $2 \times 250ns$ 。

则满载时的效率： $E_b=100\%$

$$\text{半载时的效率: } E_h = \frac{8 \times 250 \times 16}{2 \times 250 \times 8 + 16 \times 250 \times 8} \approx 89\%$$

$$\text{单负载时的效率: } E_b = \frac{16 \times 250}{15 \times 2 \times 250 + 250 \times 16} \approx 35\%$$

处理机的最大空载等待时间为 $7.5 \mu s$ ，最大空等时间为虚拟令牌方式的 5 倍多。

以下参看图 4 描述本发明系统结构中的控制处理机的结构。如图所示，控制处理机（CP）大体上可分为 5 大模块：数据处理模块（41），这是处理机的核心，内含 CPU、局部存储器或者还有浮点运算器等数据处理用器件；I/O 子系统（40），这是处理机与处界的通信通道，可以包括串、并通信口、光电隔离或串一并转换、并一串转换等组成部分；令牌发送装置（20）和令牌接收装置（21）已如上述；最后一个模块为总线驱动模块（42），总线驱动器件均是三态的，当处理机出故障时，这些驱动器件均处于三态，使得处理机与共享总线隔离，避免局部故障影响全局。M/SI 和 M/SO 是为采用双控容错结构而引入的两个信号，两个控制机各有一个输出 M/SO 信号，指示其主从地位，各有一个 M/SI 信号，批示对方的主从地位，一个控制处理机的输出 M/SO 接至另一个处理机的输入 M/SI，结构图中其它信号在前面的叙述中已有说明。

功能处理机的结构与控制处理机相似，只是少了一个令牌发送机构，在此不再赘述。

以下参看图 5 描述采用前面所述的适度耦合多处理机系统的体系结构构筑的容错型电力调度自动化系统的远程终端，这一终端是前面所述体系结构的直接应用。如图 5 所示，系统中共有三种类型的组件，即控制板（51），相应于前面所述的控制处理机；功能板（52-57），相应于前面所述的功能处理机；共享内存板（SM）。其中功能板有交流遥测板（52）、直流遥测板（53）、开关量采集板（54）、脉冲量采集板（55）、遥控板（56）和其它可选组件（57）。共享内存板内 SM 分为两组：SM1 和 SM2，SM1 和 SM2 所占存贮空间相同，目的是提供信息冗余，除共享内存板外（因为其已是容错型），所有上述组件均为双份配置，组成了部件冗余结构的容错系统。

以下具体描述系统各组件。

控制板的作用是管理整个系统的工作，并完成对外通讯功能。由于其在系统中所处的重要地位，所以保证其正常工作尤为重要，控制板共由七大功能模块组成，其结构如图 6 所示，这七大模块是：以微

处理器为核心的数据处理模块 (41)，其功能是完成外部命令的解释执行，数据运算处理等；硬件监测装置 (60)，这是加强控制板单板容错能力的装置，该装置独立于控制板的其它功能之外，监测装置在其它各模块中广设测试点 $0, 1, \dots, n$ ，其中的处理部件巡察这些测试点，一旦发现错误即向数据处理模块发错误报告信号 (Erep)，同时触发超时计数器；如果在规定时间内数据处理模块未能响应，即未能发 EACK 信号，则监测机构再发复位信号 (RES)，该信号一方面复位控制板，一方面通知双控板切换模块 (61)，将现行控制板由主控地位 (如果此时该控制板处于辅控地位，则 RES 无效) 切换为辅控地位；控制板 (61) 内含双控板切换逻辑，互为切换，即主辅地位切换，有这么三个因素可引起切换：一是硬件监督机构检出故障后不被及时处理继而发出的 RES 信号，二是由 CPU 主动提出的退位信号 PAUSE，三是由于控制板中的对方故障而要求其升为主控地位的 M/SI 信号。显然一个控制板发生状态变化，需通知对方，而发出 M/SO 信号，M/SI 和 M/SO 通过交叉开关和配对控制板相连，一个板的 M/SI 接至另一个板的 M/SO，其 M/SO 接至另一控制板的 M/SI；I/O 子系统 (40)，I/O 子系统包括二个同步/异步串行口 (400) 和一个异步串行口 (401)，其功能是负责对外通讯；总线驱动模块 (42)，其作用是将总线进出信号进行驱动，总线驱动器均是三态的，在控制板发生故障情况下，总线驱动器被强制在三态状态，实现与总线的隔离，保证不因局部故障而影响整局；令牌接收装置 (20) 和令牌发送装置 (21)，这两模块已在前面介绍，这里不再赘述。

共享内存为系统中另一关键组件，共享内存为各处理机交换信息、保存数据的场所，其信息的丢失或者破坏会影响全局。系统中采用双分共享内存的配置方法，双份共享内存占据相同的物理空间，信息以容错编码方式写到共享内存中去，而这种写又是由硬件同时完成，即信息被同时写到双份内存中去，正常情况下，双份内存中始终保持同样的数据，而信息的读取则是由操作者指定二份之一，数据的校检则是看其是否符合特定的编码，如果不正确，则可从另一份中获取。

共享内存的读取控制电路框图如图 7 所示，共享内存分两个组 SM1 和 SM2，写时数据驱动器 71 和数据驱动器 72 同时打开，数据

被同时写到 SM1 和 SM2 中,读时由组选信号 BS 决定数据是被驱动器 71 或数据驱动器 72 打开。在读信号有效时,比较器 73 工作,比较由 SM1 和 SM2 同时给出的数据是否相等,比较结果为 DOK,该信号作为各处理机的一个共同中断源,不正确的数据比较将引发正在进行共享内存操作的处理机进入故障服务程序。

图 7 中的 WE 为写信号, RD 为读信号, DEN1 为数据驱动器 71 使能信号, DEN2 为数据驱动器 72 使能信号。D 为数据总线, CA 为控制和地址总线。使能信号 DEN1 和 DEN2 分别由与门 74、与非门 76 和与门 75、与非门 77 产生。

各功能板的电路结构除 I/O 子系统外,其它部件完全相同, I/O 子系统根据各个功能板需完成的功能而设置,因此,在此只举交流遥测板为例,其余不再赘述。交流遥测板对经电流、电压互感器隔离变后的交流信号进行采样和处理,每块交流遥测板可采 8 条线路 32 个交流量。

交流遥测板的结构如图 9 所示,由四个功能模块组成,它们是 I/O 子系统(40),以微处理为核心的数据处理模块(41)、令牌接收模块(21)、总线驱动模块(42),除 I/O 子系统外,其它各模块结构与控制板大体相同。I/O 子系统包括一个异步通讯口(401),一组模拟电子开关(402),还有运算放大器(403)和模数转换器(404)。

直流遥测板 53 的作用是对直流量进行采样和处理,每块直流遥测板可采 64 路模拟信号。

开关量采集板 54 对诸如电气开关的合一分状态等开关量进行采集和处理,每块板可采 64 路信号,各路输入隔离,软件上采用了去抖动处理。

脉冲量采集板 55 对诸如脉冲电度表发出的脉冲量进行计数,输入采用光电隔离,共计可采集 32 路信号,所有输入均采用硬件、软件两级过滤,排除异常干扰。

遥控板 56 执行遥控功能。

以上介绍了本发明的适度耦合多处理机系统的体系结构以及用该体系结构构造的电力调度自动化系统的远程终端,事实上,本发明的

体系结构同样可以构造电力调度自动化系统中的主站，在其它控制领域可有广泛的应用，该体系结构也很适合用来构造超级计算机。

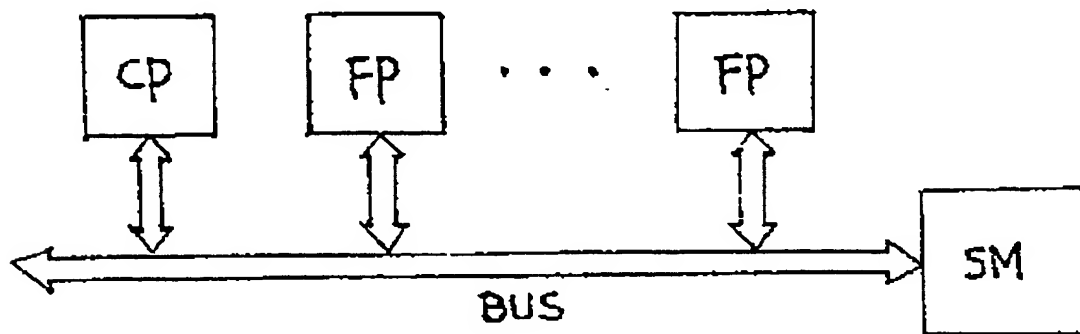


图 1

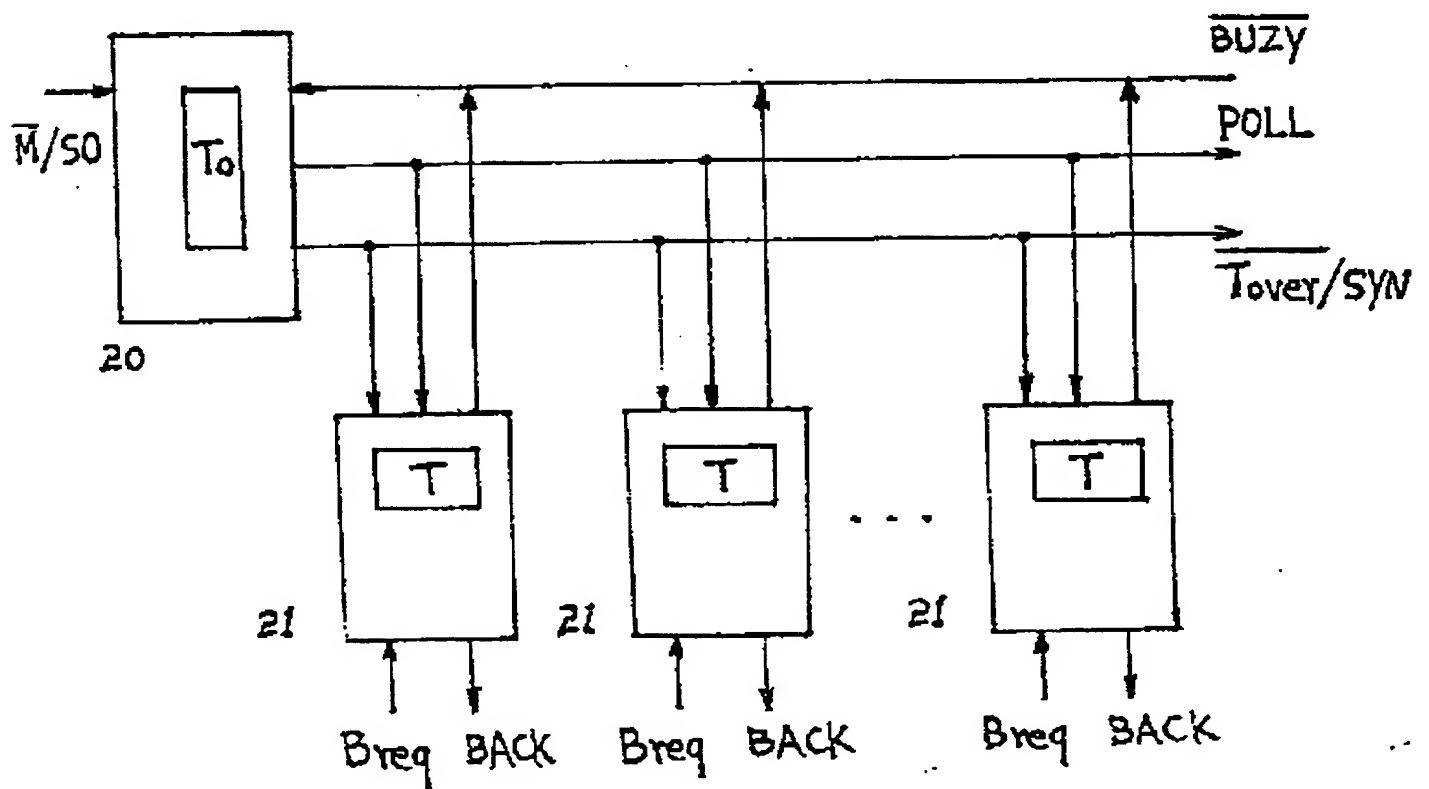
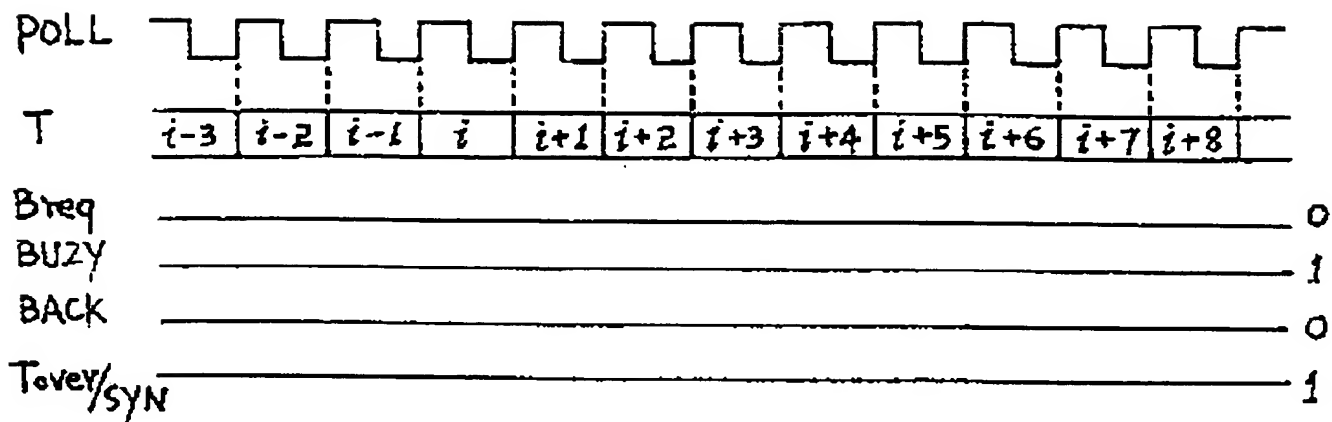
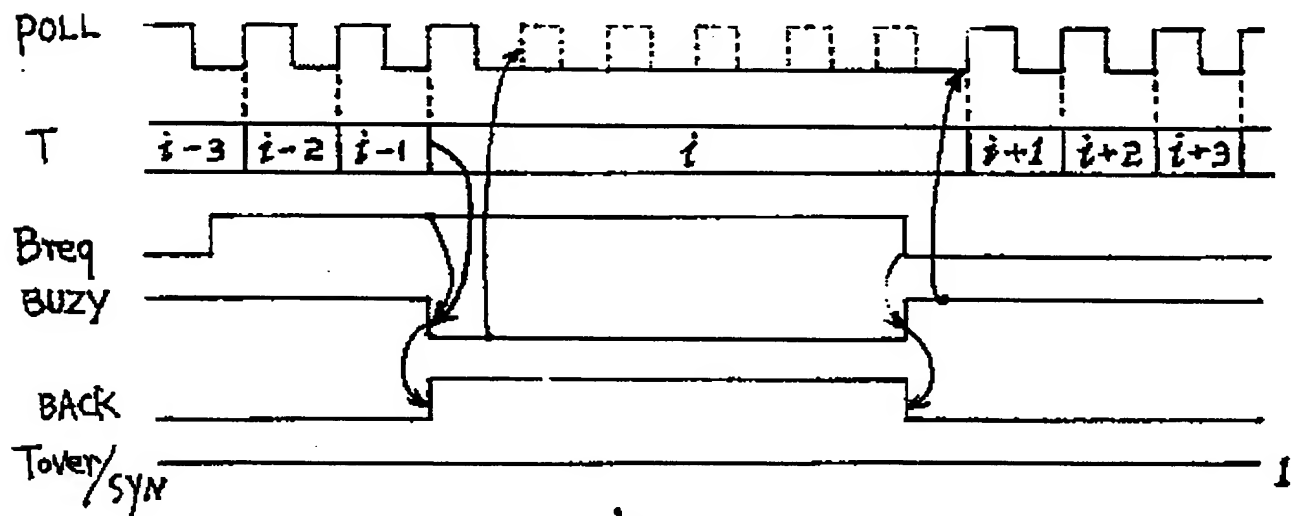


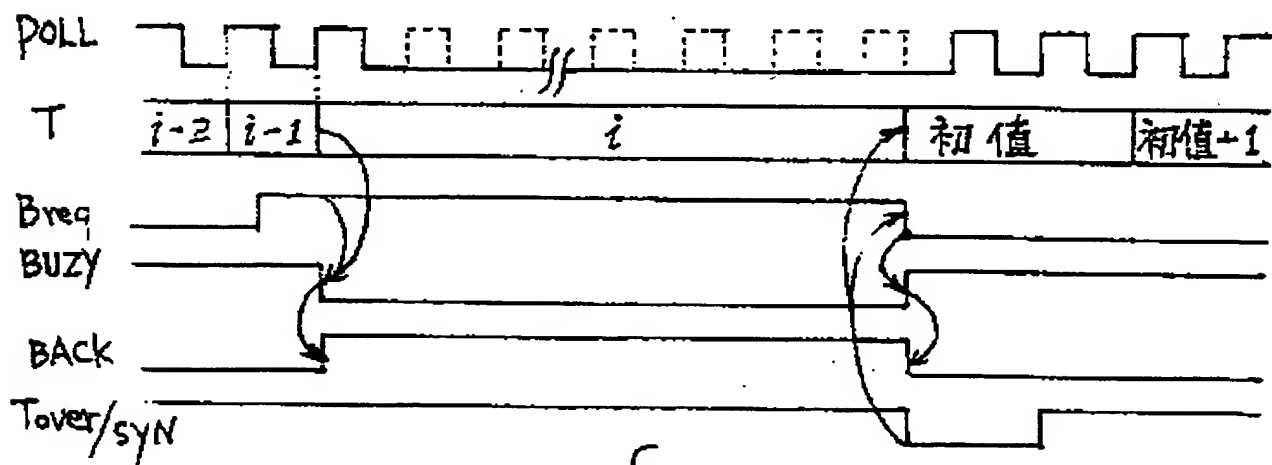
图 2



a



b



c

图 3

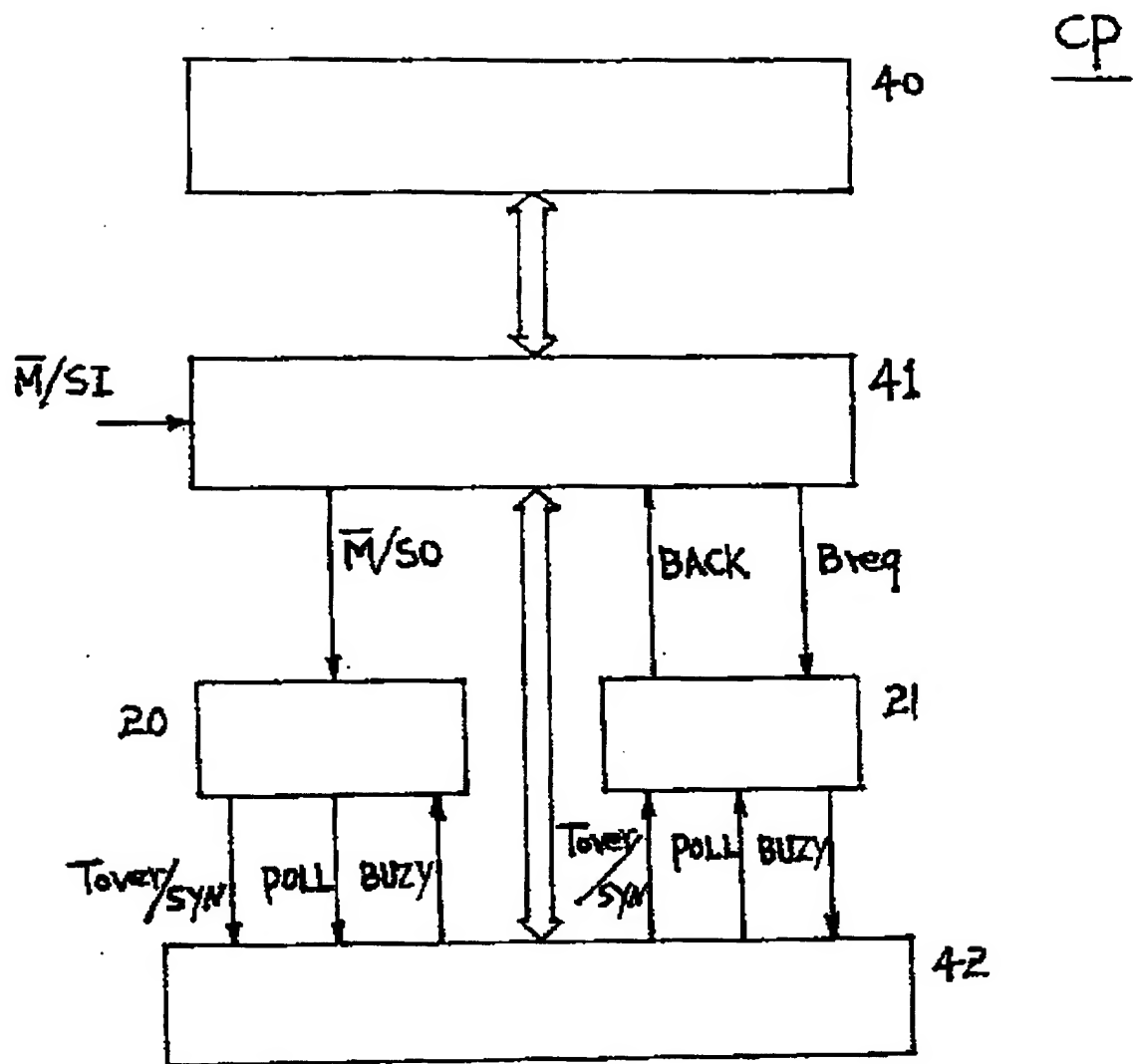
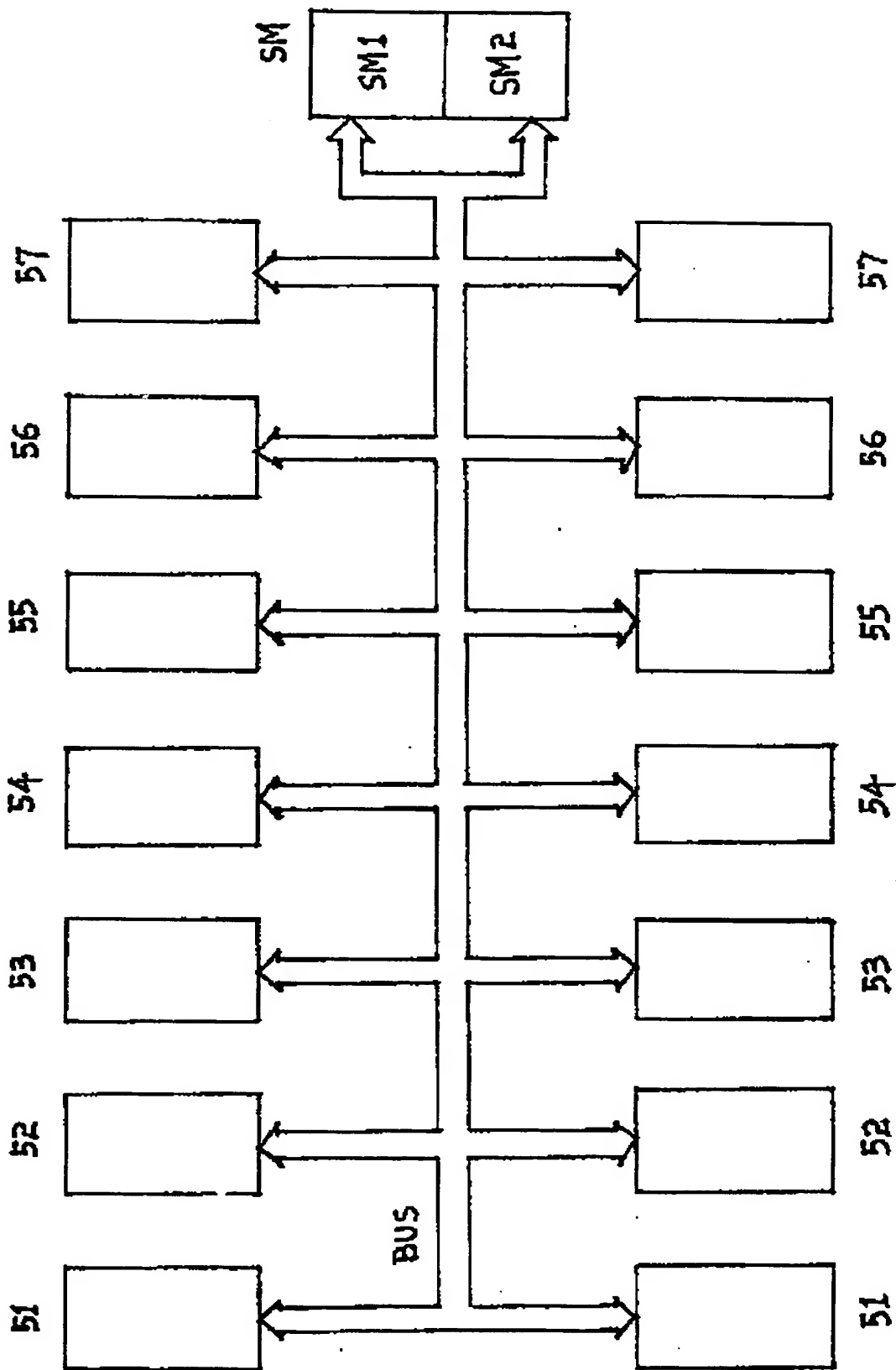


图 4



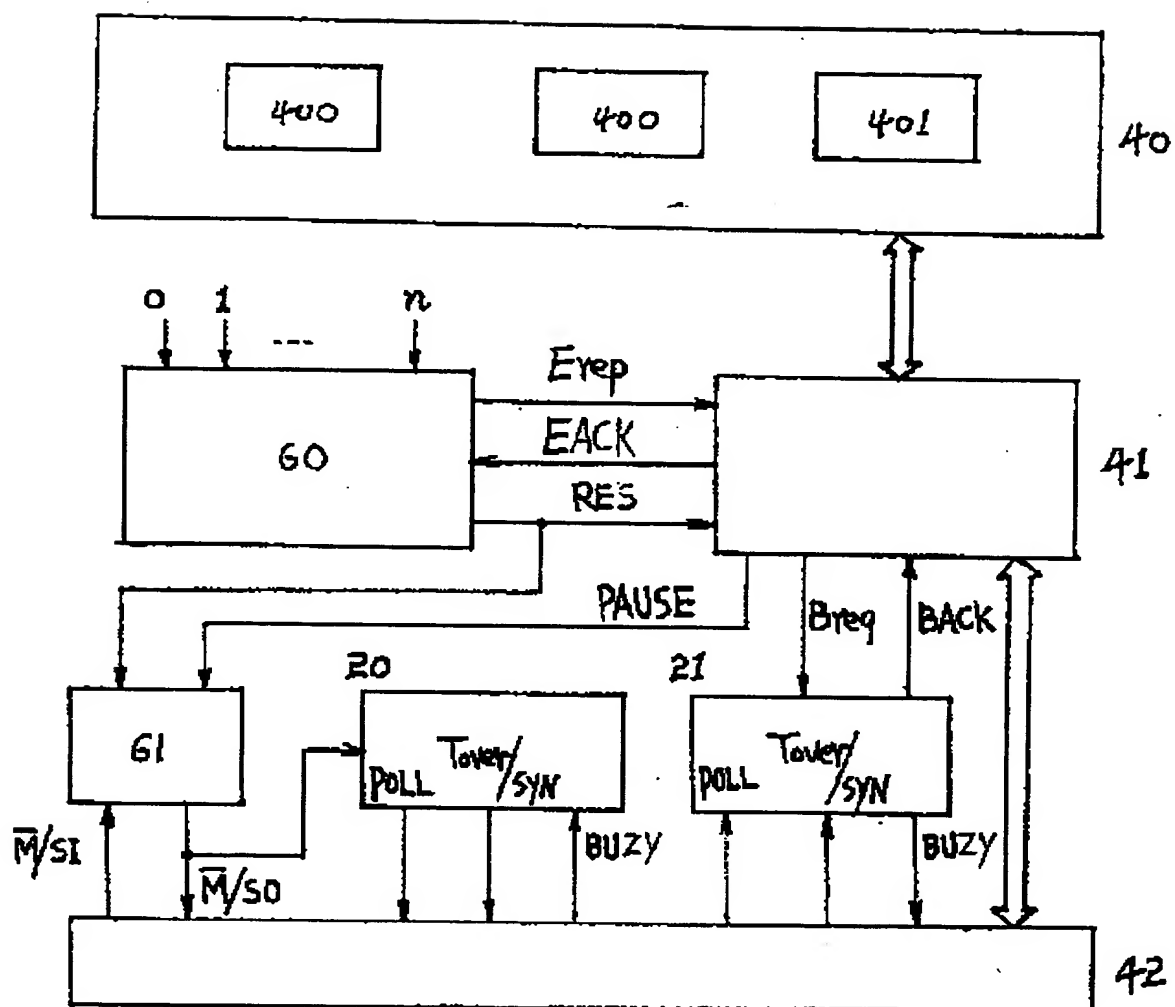


图 6

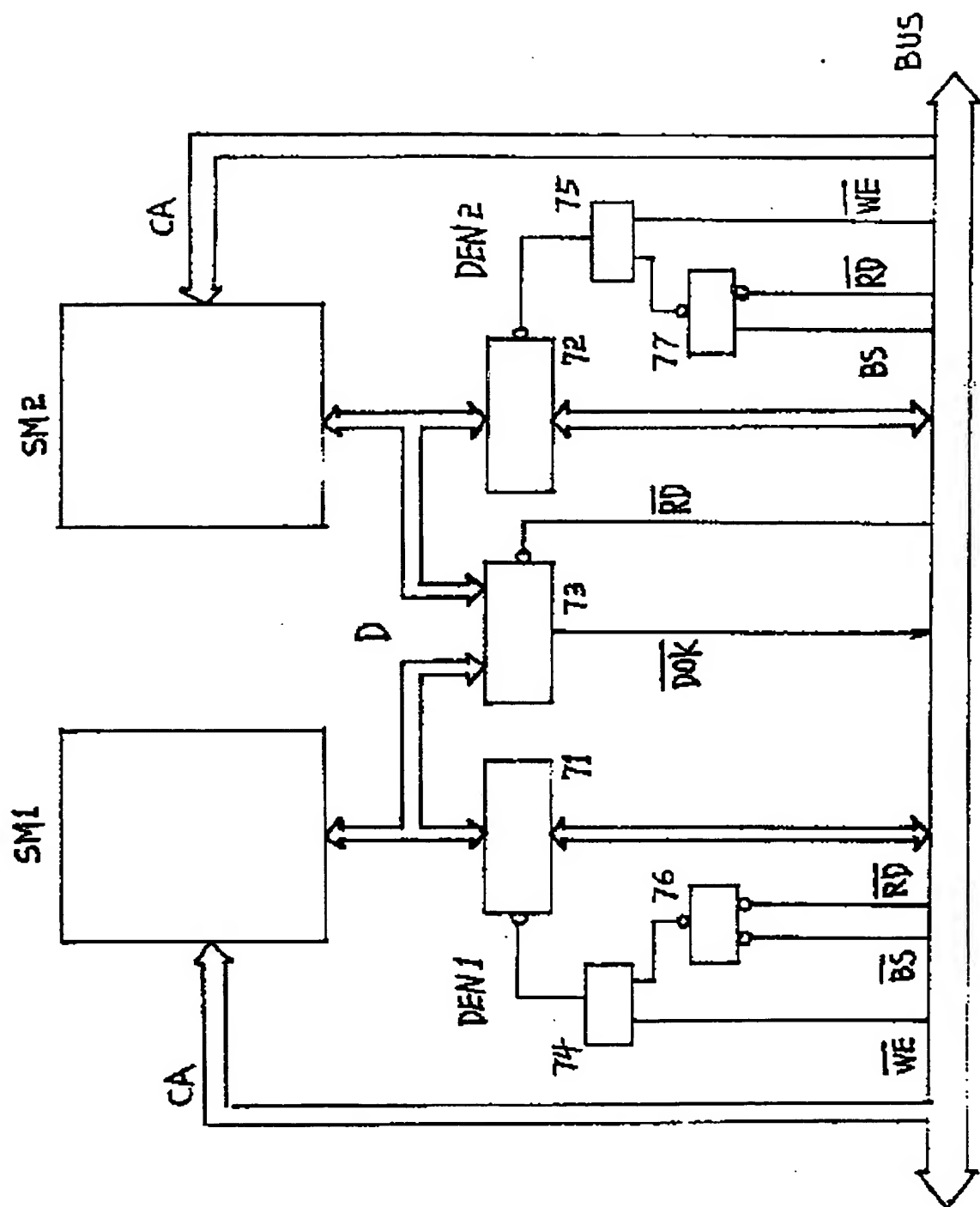


图 7

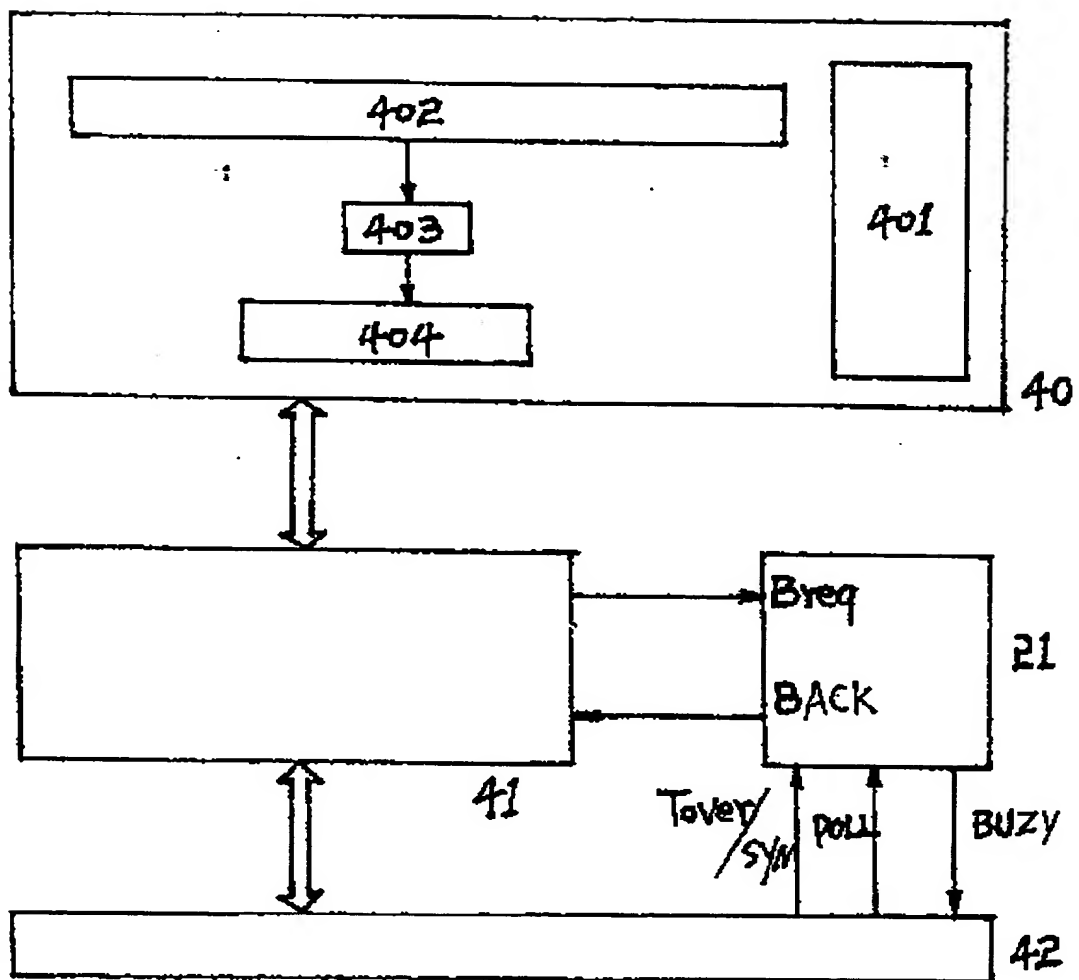


图 8